

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-93750

(P2002-93750A)

(43) 公開日 平成14年3月29日 (2002.3.29)

(51) Int.Cl.⁷

識別記号

F I

テーマコード (参考)

H 0 1 L 21/301
21/027

H 0 1 L 21/78
21/30

L 5 F 0 4 6
5 0 2 M

審査請求 未請求 請求項の数 3 O L (全 3 頁)

(21) 出願番号 特願2000-278736 (P2000-278736)

(22) 出願日 平成12年9月13日 (2000.9.13)

(71) 出願人 000221199

東芝マイクロエレクトロニクス株式会社
神奈川県川崎市川崎区駅前本町25番地1

(71) 出願人 000003078

株式会社東芝
東京都港区芝浦一丁目1番1号

(72) 発明者 土屋 郁男

神奈川県川崎市川崎区駅前本町25番地1
東芝マイクロエレクトロニクス株式会社内

(74) 代理人 100083806

弁理士 三好 秀和 (外7名)

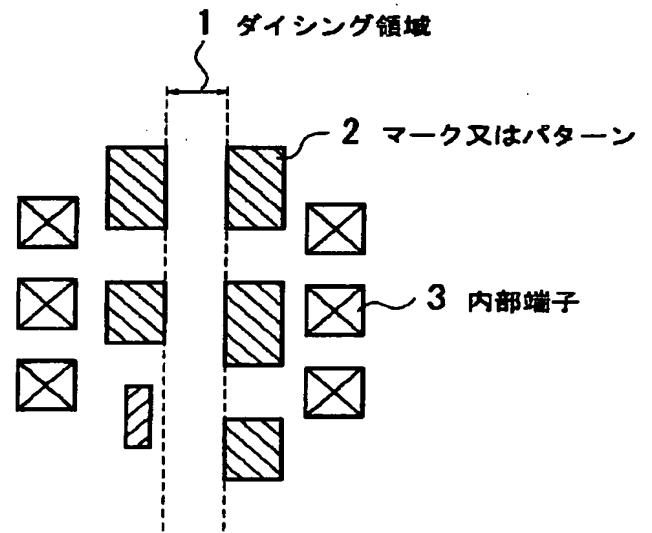
Fターム (参考) 5F046 AA26 EB05 EB07

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 ウェハの有効利用を損なうことなく且つコスト増なく、切り屑による接触不良を回避できること。

【解決手段】 ウェハ上に設けられているダイシング領域の両側に沿って、ウェハ製造に必要なマーク又はパターンが配置されている。これらマーク又はパターンの配置ラインの外側にチップ本体の内部端子3が配置されている。従って、2列に配置されているマーク又はパターンの中央部にあるダイシング領域をブレードで一度に切断して、複数のチップに分割するため、金属層を含むマーク又はパターンの切り屑がでない。これにより、コスト増なく、切り屑による接触不良を回避できること。マーク又はパターンは切断時のクラック等を見込んだ領域に配置されるため、ウェハの有効利用を損なうことはない。



【特許請求の範囲】

【請求項 1】 複数の半導体チップに分割するためのダイシング領域と、
前記ダイシング領域の両側に沿って配置されたウェハ製造に必要なマーク或いはパターンと、
前記マーク或いはパターンの外側に配置された前記半導体チップ本体の内部端子と、
を半導体ウェハ上に具備することを特徴とする半導体装置。

【請求項 2】 前記ダイシング領域中に、切り屑が切断面に付着しない素材のマーク又はパターンを配置することを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記ダイシング領域中に配置するマーク又はパターンの幅は、前記ダイシング領域を切断する切断用の刃の厚み以下であることを特徴とする請求項 2 記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置に係り、特にウェハから複数の半導体チップに分割するためのダイシングラインとその周辺の構成に関する。

【0002】

【従来の技術】従来のウェハから複数の半導体チップに分割するための図 3 に示すようなダイシング領域（ダイシングライン）1 上には、ウェハを製造する為に必要な、例えばフォトマスクとウェハを正確に重ね合わせるための目印となるアライメントマーク（或いは、例えばトランジスタの特性などを見るための測定用のモニターパターン）2 が配置されているのが通常である。これらは、分割された半導体チップには不要なものであるもので、ウェハを切断する際に同時に切削してしまうようにして、ウェハ面を有効利用することが行われている。尚、ダイシング領域 1 の両側には切断時のクラック等を見込んだ領域 4 が確保され、更にその外側に半導体チップの内部端子 3 が配置されている。

【0003】

【発明が解決しようとする課題】上記のようにウェハのダイシング領域 1 をアライメントマーク（或いはモニターパターン）2 と共に切断して複数の半導体チップに分割する際、アライメントマークやモニターパターンなどはアルミ素材を用いて形成されることが多いため、これらを切断すると、金属素材が伸びるなどして切り屑が切断面に付着して捲れ上がる状態になることがある。

【0004】ところで、TAB パッケージ等のリード（チップの内部端子とパッケージの端子を接続する配線）が半導体チップに近い位置にある場合、上記のようなダイシングライン領域 1 上に配置されているパターンの切り屑、特に金属層の切り屑がリードに接触して、接触不良を起こす恐れがあった。

【0005】そこで、このような不都合を回避するため

に、従来では、ウェハ切断時に切り屑を残さないように、厚い刃と薄い刃を使用して 2 段階にウェハを切断して、チップの切断面に切り屑を残さないようにする等の対策を施すこともあるが、工程の増加や設備が必要となるのでコスト増加につながるという問題があった。

【0006】本発明は、上述の如き従来の課題を解決するためになされたもので、その目的は、ウェハの有効利用を損なうことなく且つコスト増なく、切り屑による接触不良を回避できる半導体装置を提供することである。

【0007】

【課題を解決するための手段】上記目的を達成するために、請求項 1 の発明の特徴は、複数の半導体チップに分割するためのダイシング領域と、前記ダイシング領域の両側に沿って配置されたウェハ製造に必要なマーク或いはパターンと、前記マーク或いはパターンの外側に配置された前記半導体チップ本体の内部端子とを半導体ウェハ上に具備することにある。

【0008】請求項 2 の発明の特徴は、前記ダイシング領域中に、切り屑が切断面に付着しない素材のマーク又はパターンを配置することにある。

【0009】請求項 3 の発明の前記ダイシング領域中に配置するマーク又はパターンの幅は、前記ダイシング領域を切断する切断用の刃の厚み以下であることを特徴とする。

【0010】本発明によれば、ウェハに形成された半導体チップを切断する領域（ダイシングライン）の構成を工夫することによって、組立工程を単純化し、且つ歩留り向上を実現する。

【0011】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて説明する。図 1 は、本発明の半導体装置の第 1 の実施形態に係る構成を示した図である。但し、従来例と同様の部分には同一符号を付して説明する。ウェハ上にはウェハを切断するダイシング領域 1 が設けられ、このダイシング領域 1 の両側の即ち切断時のクラック等を見込んだ領域に、ウェハ製造に必要な複数のマーク又はパターン 2 が 2 列に配置されている。これらマーク又はパターン 2 の配置ラインの外側に半導体チップ本体の内部端子 3 が配置されている。

【0012】従って、2 列に配置されているマーク又はパターン 2 の中央部にあるダイシング領域 1 を切断用刃（ブレード）で 1 度に切断して、複数の半導体チップに分割する。

【0013】本実施形態によれば、ダイシング領域 1 の両側にマーク又はパターン 2 を配置しているので、ダイシング領域 1 を切断しても、マーク又はパターン 2 を切断することがないため、マーク又はパターン 2 を形成している金属層などの切り屑が出なくなり、切り屑が切断面に付着して捲れ上がる等のことがなくなる。

【0014】これにより、TAB パッケージ等のリード

3

(チップ内の端子とパッケージの端子を接続する配線)が半導体チップに近い位置にある場合、上記のようなダイシングライン領域1上に配置されているマーク又はパターン2の切り屑、特に金属層の切り屑がリードに接触して、接触不良を起こすことがなくなり、半導体チップの製造歩留まりを向上させることができる。

【0015】また、一方、専用の切断領域を設けることによる面積の増加については、従来のダイシングラインの構成(図3参照)においても確保されている切断時のクラック等を見込んだ領域に、マーク又はパターン2を配置するため、面積の増加は無いが、前記領域に収まり切れない場合などの最悪でも、微増程度に抑えることができ、ウェハの有効利用を損なうことはない。

【0016】尚、ダイシング領域1の両側にマーク又はパターン2が配置されているだけで、従来に比べて本質的なウェハパターンの変更はないが、切断後のチップにマーク又はパターン2が残ることになる。

【0017】図2は、本発明の半導体装置の第2の実施形態に係る構成を示した図である。但し、従来例と同様の部分には同一符号を付して説明する。ウェハ上にはウェハを切断するダイシング領域1が設けられ、このダイシング領域1の両側に沿って、ウェハ製造に必要なマーク又はパターン2が配置されていると共に、ダイシング領域1にも小さいマーク5類が配置されている。更に、マーク又はパターン2の配置ラインの外側にチップ本体の内部端子3が配置されている。

【0018】尚、ここで言う小さいマーク5とは、ウェハ切断用の刃の厚さが30 μ 程度であるため、マーク5の幅がこのウェハ切断用の刃(ブレード)の厚さよりも小さいサイズになる。

【0019】本実施形態では、切り屑を残す危険の大きいマーク又はパターン2のみをダイシング領域の両側に配置し、Si素材だけで切り屑を残す危険が小さくて、且つ切断後のチップに残さない方がよいマークを、ダイ *

4

*シング領域1に配置しているため、第1の実施形態と同様の効果があると共に、ダイシング領域1も利用しているために、マーク又はパターン2をダイシング領域1の外側に配置することにより生じる面積の増加傾向を第1の実施形態よりも更に最小限に抑えることができる。切断後のチップに残さない方がよいマークを切削してしまうため、半導体チップへの悪影響を全く排除することができる。

【0020】尚、上記実施形態はTABに限定されることはなく、半導体チップの内部端子をパッケージの端子とワイヤで繋ぐタイプのもので、ワイヤの高さが低いタイプのものであれば、ワイヤに切り屑が接触してしまう恐れがあり、本発明を適用して同様の効果を得ることができる。

【0021】

【発明の効果】以上詳細に説明したように、本発明の半導体装置によれば、製造時のコスト増やチップ面積の増加を抑えてウェハの有効利用を損なうことなく、チップ切断面に切り屑を残さないようにして、パッケージのリードと接触しないようにすることができ、コスト増なく、切り屑による接触不良を回避でき、組立て歩留りを向上させることができる。

【図面の簡単な説明】

【図1】本発明の半導体装置の第1の実施形態に係るウェハ上のパターン例を示した図である。

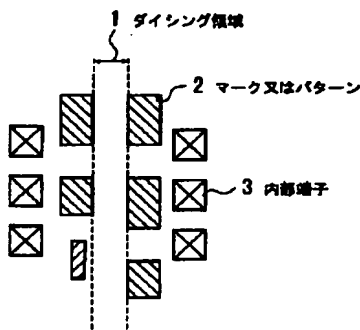
【図2】本発明の半導体装置の第2の実施形態に係るウェハ上のパターン例を示した図である。

【図3】従来の半導体装置のウェハ上のパターン例を示した図である。

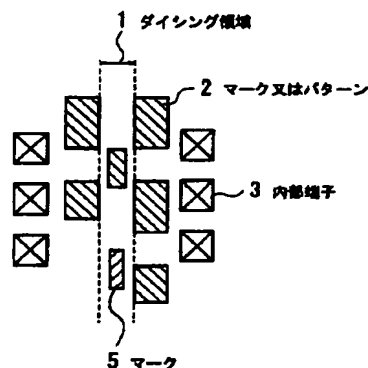
【符号の説明】

- 1 ダイシング領域
- 2 マーク又はパターン
- 3 内部端子
- 5 マーク

【図1】



【図2】



【図3】

